

SC 11714 TP BF

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 2002075972
PUBLICATION DATE : 15-03-02

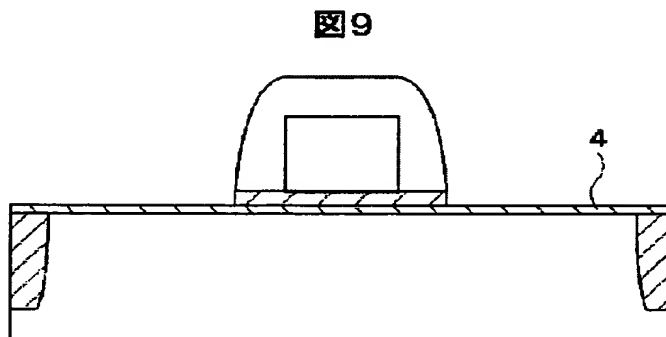
APPLICATION DATE : 04-09-00
APPLICATION NUMBER : 2000267101

APPLICANT : HITACHI LTD;

INVENTOR : NAKAHARA MIWAKO;

INT.CL. : H01L 21/3065 H01L 29/78 H01L 29/786
H01L 21/336

TITLE : METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a method for fabricating a semiconductor device by forming a first gate insulation film of SiO₂ and a second gate insulation film of high dielectric constant metal oxide on a single crystal silicon substrate in which the second gate insulation film is etched without damaging the substrate.

SOLUTION: Etching is performed without damaging a silicon substrate 1 by bringing the surface of a second gate insulation film 5 of metal oxide into contact with a chloride atom imparting gas without forming an ion sheath the surface of the second gate insulation film 5 thereby causing reaction.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-75972

(P2002-75972A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int. Cl.

識別記号

F I

テームコード* (参考)

H 0 1 L 21/3065

H 0 1 L 21/302

F 5 F 0 0 4

29/78

29/78

3 0 1 G 5 F 0 4 0

29/786

3 0 1 F 5 F 1 1 0

21/336

6 1 7 T

6 2 7 C

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願2000-267101 (P2000-267101)

(22) 出願日 平成12年9月4日 (2000.9.4)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 荒井 利行

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72) 発明者 中原 美和子

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74) 代理人 100084032

弁理士 三品 岩男 (外1名)

最終頁に続く

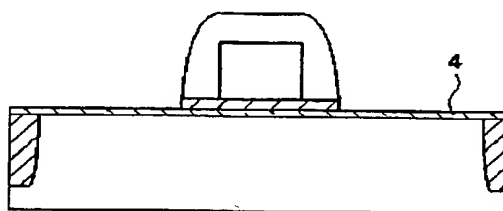
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】単結晶シリコン基板上に、 SiO_2 を材料とする第1のゲート絶縁膜と、高誘電率の金属酸化物からなる第2のゲート絶縁膜を形成する半導体装置において、基板にダメージを与えることなく第2のゲート絶縁膜をエッチングする方法を提供する。

【解決手段】金属酸化物からなる第2のゲート絶縁膜5の表面にイオンシースを形成することなく、塩素原子供与性ガスと接触させて反応させることにより、シリコン基板1にダメージを与えずにエッチング処理を行う。

図9



【特許請求の範囲】

【請求項1】 基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置の製造方法であって、

前記金属酸化膜に塩素を含むガスを接触させることで、該金属酸化膜をエッチング処理することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の金属酸化膜は、チタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、アルミナ酸化物およびタンタル酸化物うちのいずれか、あるいは、これら複数の酸化物のうちに複数の混合物から構成されたものであることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の前記絶縁膜は、前記基板上に形成されるもので、該基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記金属酸化膜からなる第2の絶縁膜とから構成されることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の前記塩素を含むガスは、塩素原子の供与が可能なガスを含むことを特徴とする半導体装置の製造方法。

【請求項5】 請求項1記載の前記塩素を含むガスは、イオン化された原子及び分子を含まないことを特徴とする半導体装置の製造方法。

【請求項6】 請求項1記載の前記エッチング処理に際し、前記金属酸化膜の表面にイオンシースが形成されないことを特徴とする半導体装置の製造方法。

【請求項7】 高誘電率の金属酸化物をエッチングする方法であって、前記金属酸化物に塩素を含むガスを接触させることで、該金属酸化物をエッチング処理することを特徴とするエッチング方法。

【請求項8】 シリコン基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置であって、前記絶縁膜は、前記シリコン基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記高誘電率の金属酸化膜からなる第2の絶縁膜とから構成され、前記シリコン基板表面のうち前記絶縁膜に隣接する領域での膜中欠陥密度が、イオンアシストエッチング処理を用いた場合よりも少ないことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、高誘電率を備える金属酸化物のエッチング方法、高誘電率ゲート絶縁膜を用いた半導体装置およびその製造方法に関する。

【0002】

【従来の技術】 集積回路の低消費電力化を目的としてゲート絶縁膜の薄膜化が進められている。SiO₂ゲート絶縁の薄膜化に伴い、ゲート電極とチャネル層との間の直接トンネルによる漏れ電流の増加、およびゲート絶縁

膜の絶縁破壊信頼性の低下が問題となってきた。

【0003】 この問題を解決するためにSiO₂ゲート絶縁膜に代わる材料として高誘電率材料の適用検討が進んでいる。高誘電率材料をゲート絶縁膜に用いることにより物理的に厚い膜を用いてもSiO₂と同じ容量が得られるため、漏れ電流を抑えることができる。

【0004】 この高誘電率ゲート絶縁膜材料としては、具体的にはチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、あるいはアルミナ酸化物等の熱力学的に安定な酸化物の採用が提案されている。

【0005】 また、Siとこれらのゲート絶縁膜との界面を電気的にスムーズにするために、この界面にSiO₂膜を形成することで2層構造とすることも提案されている。

【0006】

【発明が解決しようとする課題】 しかし、これらの高誘電率材料は熱力学的に安定している。このため、高誘電率材料となる金属酸化物に適用したエッチング方法の選択が課題となっている。

【0007】 このような安定な物質をエッチングする方法の1つとして、加速したイオンの運動エネルギーとプラズマ中に生成される活性種との相乗効果によりエッチングを行う反応性イオンエッチング法がある。

【0008】 ところが、上記のイオンやプラズマ等を用いたエッチング方法ではイオンの運動エネルギーを用いるため、エッチングの進行により被エッチング膜が薄くなった場合、下地あるいは基板にイオンが打ち込まれる場合がある。このため、被エッチング膜の界面あるいはそれが形成されている下地や基板にダメージを与え、その後の工程に影響を及ぼす問題があった。

【0009】 この問題を回避するためにはダメージを与えないエッチング方法を採用する必要がある。その代表的な方法がウェットエッチング方法である。しかし、この方法においては、上記高誘電率材料を効率的にエッチングする薬液が未だに見つかっていない。また、ウェットエッチングを行った後には乾燥工程が必須となり、ドライエッチング方法に比べ工程数が増えるという不利な点がある。

【0010】 本発明は上記の点を鑑みてなされたもので、その目的は、熱力学的に安定な高誘電率材料である金属酸化物をドライプロセスによりエッチングする方法、その方法を用いて基板にダメージを与えずに所定形状に加工された高誘電率絶縁膜を備える半導体装置の製造方法及びその半導体装置を提供することにある。

【0011】

【課題を解決するための手段】 上記目的を達成するために本発明のエッチング方法では、例えばチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、あるいはアルミナ酸化物などの高誘電率の金属酸化物を塩素を含むガスに接触させることにより、エッチン

グ処理を行うことを特徴とする。

【0012】また、上記目的を達成するために本発明の半導体装置の製造方法では、上記本発明のエッチング方法を用いて高誘電率の金属酸化膜を加工し、所望の形状の絶縁膜を形成することを特徴とする。

【0013】また、上記目的を達成するために本発明では、シリコン基板上に形成した高誘電率の金属酸化膜を加工した絶縁膜を備える半導体装置において、前記絶縁膜が、前記シリコン基板側に位置する第1の絶縁膜と、該第1の絶縁膜に重ねて形成された前記高誘電率の金属酸化膜からなる第2の絶縁膜とから構成され、前記シリコン基板表面のうち前記絶縁膜に隣接する領域では、該絶縁膜のエッチング処理に用いた元素が該シリコン基板表面を侵襲することで生じ得る欠陥が無いあるいは非常に少ないことを特徴とする。

【0014】

【発明の実施の形態】本発明では、熱力学的に安定な高誘電率材料の金属酸化物を塩素原子を利用して加工することで、該金属酸化物の下地や基板表面に大きなダメージを与えることなく、半導体装置の絶縁膜を形成するものである。

【0015】（塩素原子の選択理由）金属酸化物をドライプロセスでエッチング除去するためには次の二つの項目を満足する必要がある。

【0016】①金属酸化物とエッチングガスとの反応が進むこと。

【0017】②エッチング反応生成物の蒸気圧が高いこと。

【0018】まず、Ti、Zr、およびHfの化合物の蒸気圧を調査した。その結果、ハロゲン化合物の蒸気圧が高いことが判明した。Ti、Zr、およびHfのハロゲン化合物の蒸気圧の温度依存性を図1、図2および図3に示す。これらの図から蒸気圧の高いハロゲン化合物は塩化物および臭化物であることが分かる。なお、Tiのハロゲン化合物は室温においても0.1 Torr以上の蒸気圧を示している。ZrおよびHfのハロゲン化合物は100°Cにおいて約1m Torrの蒸気圧を示し、300°Cで760 Torr近い圧力を示している。しかし、Ti、ZrおよびHfのハロゲン化合物の内、フッ化物の蒸気圧は他のハロゲン化合物に比べ著しく低いことから、F系ガスを用いたドライエッチング方法ではエッチングできないことがわかる。

【0019】次に、TiO₂あるいはZrO₂と各ハロゲン原子との反応の進み易さを比較した。反応の進み易さは各金属酸化物と塩素原子、および反応生成物のそれぞれについてギブスの自由エネルギーを計算し、反応後の系のギブス自由エネルギーから反応前の系のギブス自由エネルギーを差し引いた値(ΔG)を指標にすることができる。このΔGと反応平衡定数(K)は次式の関係にある。

$$[0020] K \propto \exp(-\Delta G/RT)$$

ただし、Rは気体定数、Tは反応時の系の温度である。この式からΔGが0あるいは+の値であれば反応はほとんど進まず、逆にΔGが-であれば値が大きいほど反応が進む傾向にあることが分かる。各反応におけるΔGの温度依存性を計算した結果を図4に示す。臭化物を生成する反応のΔGはどれも0または正の値となり、反応が進まないことが分かる。これに対し塩化物を生成する反応はどれもΔGが負の値となり、反応が進むことが分かる。したがって、塩素原子を用いることにより各金属酸化物のエッチングが可能となる。

【0021】(SiO₂との選択性) 一方、塩素原子とSiO₂からSiの塩化物が生成されるΔGも-の値であり、金属酸化物と同様にエッチング反応が進む可能性がある。しかし、その反応速度は反応の律速段階で決まる。反応の律速段階が金属あるいはSiとOとの結合を切る過程にある場合、反応速度は金属あるいはSiとOとの結合強度に依存することになる。結合強度を調べた結果、Si-Oが806 kJ/molであるのに対し、Ti-Oが659 kJ/mol、Zr-Oが634 kJ/molである。よって、SiO₂に比べてTiO₂あるいはZrO₂の方が、塩素原子による反応速度が大きい。

【0022】（ダメージを与えない方法）塩素原子を得るためには次の二つの方法がある。

【0023】(1) 塩素を含むガスを熱により分解する方法。

【0024】(2) 塩素を含むガスをプラズマにより分解する方法。

【0025】上記(1)の熱エネルギーを用いて塩素原子を得る方法では、イオンが発生しないため、被エッチング処理物の下地へのダメージは発生しない。しかし、上記(2)のプラズマを用いて塩素原子を得る方法では、プラズマと被エッチング処理物との間にイオンシースが形成される。このため、プラズマと被エッチング処理物との間に電位差が生じ、その電位差によりイオンが加速され、被エッチング処理物の下地にダメージを与える。

【0026】したがって、下地にダメージを与えないためには、例えば、エッチング処理が行われるエッチング処理室から離れた別の場所でプラズマを形成し、プラズマ化されていないニュートラルの塩素原子だけを当該エッチング処理室に供給し、被エッチング処理物と反応させるよう構成することが必要である。

【0027】すなわち本発明では、塩素原子供与性ガスを含むガスに接触させることにより、エッチング処理された高誘電率材料からなる絶縁膜をシリコン基板上に備える半導体装置を製造するものである。ここで高誘電率材料としては、例えばチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、アルミナ酸化

物、あるいは、これらの混合物がある。また、塩素原子供与性ガスとしては、塩素原子及びフッ化塩素から選ばれる少なくとも一種類のガスを含むものが好ましい。

【0028】また、本発明では、エッチング処理において基板に与えるダメージを低減あるいは無くするために、上記塩素原子供与性ガスに含まれるプラズマまたはイオンの量をできるだけ少なくする手段、被エッチング膜の表面にイオンシースが形成されないようにする手段、及び上記塩素原子供与性ガスに含まれるラジカル塩素原子の量をできるだけ多くする手段のうち少なくとも1つの手段を含むことが好ましい。

【0029】

【実施例】本実施例では、本発明のエッチング処理を用いてゲート絶縁膜を形成した、MOS型FETの製造プロセスを、図5～図10を参照して説明する。

【0030】Si基板1の表面に素子分離のための溝2を形成し、 O_2 とTEOS($\text{Si}(\text{OC}_2\text{H}_5)_4$)を原料ガスとした熱CVD法により SiO_2 膜3を埋め込み、CMPを用いて平坦化する(図5)。

【0031】次に、Si基板1の表面に第1のゲート絶縁膜である約2nmの厚さの SiO_2 膜4を熱処理により形成し、その上に第2のゲート絶縁膜である約20nmの厚さの TiO_2 膜5をCVD法により成膜し、その上にゲート電極形成のためのポリSi6をCVD法により成膜する(図6)。

【0032】その上にレジストを塗布し、ゲート電極形成部分6aのみレジストを残し、それ以外の領域のレジストを露光および現像により除去し、このレジストをマスクとしてポリSiをF系のガスで異方性エッチングを行う(図7)。ここで、F系ガスを用いたのは、上述した通り、 TiO_2 膜5をエッチングせずにポリSi膜をエッチング除去するためである。

【0033】レジスト除去後、全面にTEOSを原料ガスとする熱CVD法により SiO_2 膜を成膜し、ゲート電極部のみに残したレジストをマスクとして、それ以外の領域の SiO_2 を異方性ドライエッチングによりエッチバック除去し、ゲート電極の上面および側面に SiO_2 のスペーサ層7を形成する(図8)。

【0034】その後、この SiO_2 のスペーサ層7を保護膜としてゲート電極をエッチングせずに、ソース・ドレイン領域の TiO_2 層5を本発明の塩素原子を用いたエッチング処理により除去する(図9)。

【0035】その後、ソース・ドレイン領域の薄い SiO_2 膜4をウェットエッチングで除去し、ソース・ドレイン領域にのみ選択的にシリコンをエピタキシャル成長させ、シリコンのエピタキシャル膜8が形成されたソース・ドレイン領域へのインプラを行い、アニールによりインプラしたドーパントを活性化してソース・ドレイン9を形成し、ゲート電極6a上の SiO_2 のスペーサ層7を除去することにより、FETを形成した(図10)。

0)。

【0036】次に、上記した TiO_2 膜5のエッチングプロセスを詳細に述べる。

【0037】図11にエッチング装置の構成の一例を示した。本例のエッチング装置において、エッチング処理室21は当該エッチング処理室内の圧力を一定に保つための排気ポンプ22、圧力調整弁23、被エッチング処理基板を加熱するサセプタ24、塩素原子を供給する塩素原子供給器25、塩素原子をエッチング処理室21に導く配管26、およびその塩素原子をサセプタ24上の基板表面に均一に供給するためのシャワープレート27から構成されている。

【0038】図12に塩素原子供給器25の構成の一例を示した。本例の塩素原子供給器25は、塩素原子を発生させるアルミナチューブ31、これに塩素ガスおよびキャリアガスとして例えばアルゴンガスを供給する塩素ガス供給器32およびアルゴンガス供給器33、2.45GHzのマイクロ波発生源34、およびマイクロ波を発生源からアルミナチューブ31に導く導波管35から構成されている。

【0039】本例の塩素原子供給器25では、塩素ガスおよびアルゴンガスをアルミナチューブ31内に流した状態で、マイクロ波発生源34から導波管35を通してマイクロ波を照射し、アルミナチューブ31内でプラズマを発生させることにより塩素原子を発生させる。発生した塩素原子はガスの流れと共に配管26を通してエッチング処理室21に供給される。

【0040】本例の塩素原子供給器25は、周知のリモートラジカル生成方法を採用したものであり、アルミナチューブ31から所定距離だけ離れたエッチング処理室21へ配管26を通してガスを導入することで、エッチング処理室21に導入される多くの塩素原子が荷電状態に無く、一部はラジカル状態にあるようにしたものである。

【0041】なお、本実施例では塩素原子の生成方法としてリモートラジカル生成方法を用いたが、本発明において塩素原子を生成する方法はこれに限定されるものではない。エッチング処理室21にイオン化されていない状態の塩素原子を導入一方、プラズマ状態あるいはイオン化された状態のガスがエッチング処理室21に侵入することを防ぎ、あるいは、被エッチング処理基板表面にイオンシースが形成されないようにすることができるものであれば、その他の方法により塩素原子を生成し、エッチング処理室21へ導入する構成としても良い。

【0042】例えば、配管26の途中に電磁場をかけてイオン化された原子分子を偏向あるいはトラップしたり、イオンを中性化するための電子を供給したりする構成としても良い。

【0043】本実施例において塩素原子を用いたエッチングは、例えば次の手順で行う。

【0044】最初、エッチング処理室21を排気ポンプ22により0.001 Torr以下の圧力にする。被処理基板を搬送室(図示せず)からエッチング処理室21内のサセプタ24に搬送する。被処理基板温度を100°Cに加熱する。

【0045】次に、マイクロ波発生源34を動作させない状態で塩素原子供給器25から塩素ガスおよびキャリアガスを流し、圧力調整弁23によりエッチング処理室21内の圧力を0.05 Torrに調整する。その後、マイクロ波発生源34を動作させ、一部ラジカル状態にある中性塩素原子を含むガスをエッチング処理室21に供給し、サセプタ24上に配置されている被処理基板表面に形成されている TiO_2 膜5をエッチング除去した。

【0046】なお、本実施例では被処理基板としてSi基板を想定しているが、ガラス基板や石英基板を用いるTFETの製造においても本発明を同様に適用することができる。

【0047】このようにして作成したFETのソースあるいはドレインの接合リーク電流を測定した結果を図13に示す。本実施例のエッチング処理方法によれば、 TiO_2 膜を従来のイオンアシストエッチング法でエッチングした場合に比べ、マイナスの高圧を加えた場合の接合リーク電流を図13に示すような値まで抑えることができた。これはシリコン基板とシリコンエピタキシャル層との界面にエッチングダメージが発生しないため、欠陥準位が形成されなかったものと考えられる。

【0048】以上説明したように、本実施例によれば、塩素原子をエッチングガスに用いることにより TiO_2 膜のエッチング除去が可能となった。

【0049】また、本実施例によれば、エッチング反応がイオン衝撃等のダメージを発生させないことからソース・ドレインの接合リーク電流を抑えることができた。

【0050】また、本実施例ではチタン酸化物をゲート絶縁膜に用いたMOS型FETの製造において、塩素原子を用いてエッチングした場合を例に挙げて説明したが、本発明が適用できる金属酸化物、半導体装置、絶縁膜の種類は本実施例に限定されるものではなく、他の金属酸化物、半導体装置、絶縁膜についても、本実施例と同様にエッチング処理することができる。

【0051】

【発明の効果】以上詳述したように、本発明によれば、塩素原子をエッチングガスとして用いることにより、高誘電率材料である金属酸化物のエッチング除去が可能となり、該金属酸化物を絶縁膜として用いる半導体装置の製造が可能となる。

【0052】また、本発明によれば、エッチング処理中にイオン衝撃等のダメージが発生しないことからソース・ドレインの接合リーク電流を抑えることができ、半導体装置の信頼性、製造歩留りを向上させることができ

た。

【図面の簡単な説明】

【図1】 Ti のハロゲン化物の蒸気圧曲線を示すグラフ。

【図2】 Zr のハロゲン化物の蒸気圧曲線を示すグラフ。

【図3】 Hf のハロゲン化物の蒸気圧曲線を示すグラフ。

【図4】各金属酸化物とハロゲン原子との反応の ΔG の温度依存性を示すグラフ。

【図5】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図6】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図7】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図8】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図9】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図10】本発明の一実施形態であるFETの製造方法の一工程を示す要部断面図。

【図11】本発明の他の実施形態であるエッチング装置の構成例を示すブロック図。

【図12】本発明の他の実施形態である塩素原子供給器の構成例を示すブロック図。

【図13】従来のイオンアシストエッチング方法と本発明のエッチング方法とを用いて製造された半導体装置の接合電流を比較したグラフ。

【符号の説明】

1…Si基板

2…溝

3… SiO_2 膜

4… SiO_2 ゲート絶縁膜

5… TiO_2 ゲート絶縁膜

6…ゲート電極

7… SiO_2 スペーサ層

8…シリコンエピタキシャル膜

9…活性化領域

21…エッチング処理室

22…排気ポンプ

23…圧力調整弁

24…サセプタ

25…塩素原子供給器

26…配管

27…シャワープレート

31…アルミナチューブ

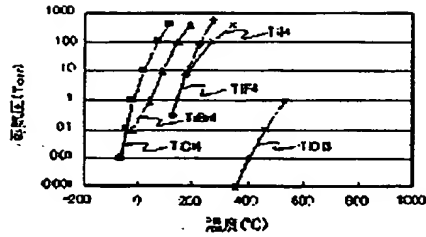
32…塩素ガス供給器

33…アルゴンガス供給器

34…マイクロ波発生源

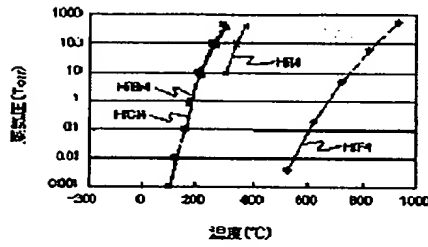
【図1】

図1



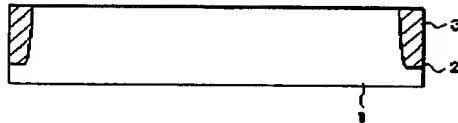
【図3】

図3



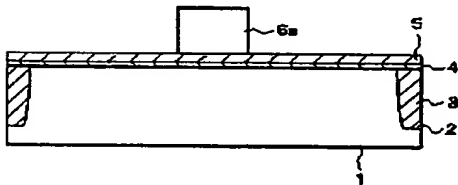
【図5】

図5



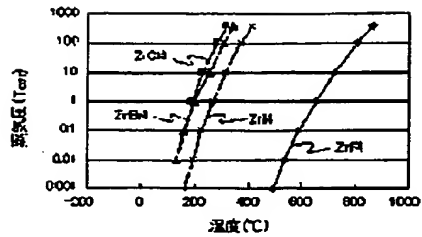
【図7】

図7



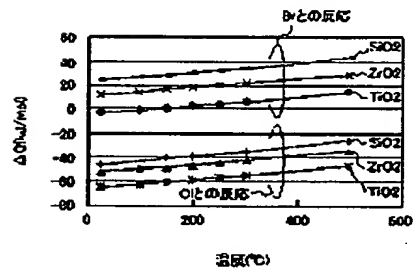
【図2】

図2



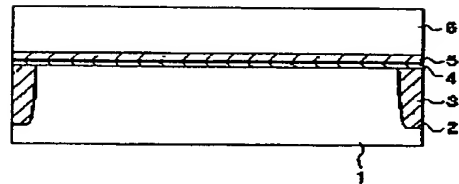
【図4】

図4



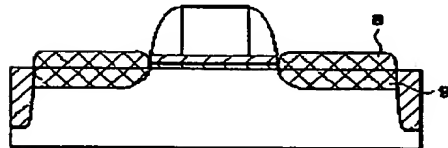
【図6】

図6



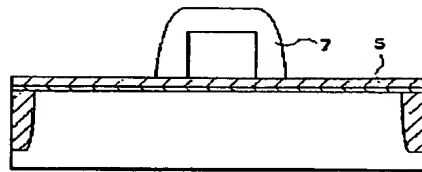
【図10】

図10



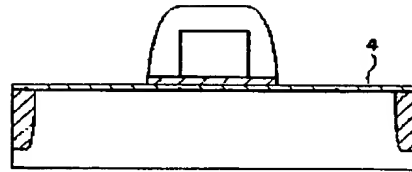
【図8】

図8



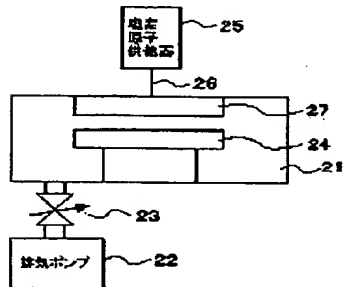
【図9】

図9



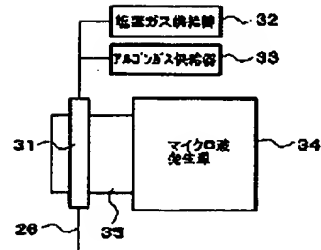
【図11】

図11



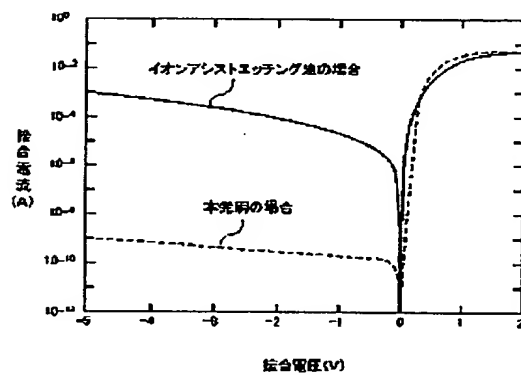
【図12】

図12



【図13】

図13



フロントページの続き

F ターム(参考) 5F004 AA06 BA03 BB14 BB28 DA00
DA04 DA23 DB00 DB13 DB14
EB02
5F040 DA20 DC01 EC07 ED01 ED03
EF01 EK05 FA05 FC06 FC21
5F110 AA06 AA14 BB03 CC02 DD02
DD03 EE09 EE32 EE45 FF01
FF02 FF09 FF23 FF29 GG02
HJ13 HJ23 HK09 HK13 HK32
HK39 HM02 NN62 NN65 QQ04
QQ11 QQ19